

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-205140

(43)Date of publication of application : 05.08.1997

(51)Int.Cl.

H01L 21/76

H01L 21/316

(21)Application number : 08-309590

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 20.11.1996

(72)Inventor : UMEZAWA KAORI  
 TSUCHIYA NORIHIKO  
 MATSUSHITA YOSHIAKI  
 KAMIJO HIROYUKI  
 YAGISHITA JUNJI  
 KITA TSUNEHIO

(30)Priority

Priority number : 07302993

Priority date : 21.11.1995

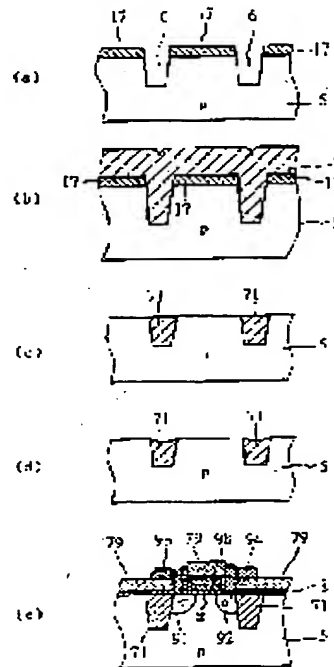
Priority country : JP

## (54) ELEMENT ISOLATED SEMICONDUCTOR SUBSTRATE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a buried element-isolating technique using an organic silicon CVD method or the like such that the generation of crystal defects in an element forming region is restrained.

SOLUTION: A buried element isolated substrate is formed by selectively forming a groove portion 6 at a predetermined position of a semiconductor substrate 5, and embedding an oxide film formed by an organic silicon CVD method into the groove portion 6 as a buried oxide film 7. This buried oxide film 7 is heat-treated at 1100-1350° C before or after flattening of the semiconductor substrate 5. By heat-treatment, at least five membered ring or structure and at most four-membered ring structure in the buried oxide film 7 are constituted at a predetermined ratio.



## LEGAL STATUS

[Date of request for examination]

14.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
 examiner's decision of rejection or application  
 converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-205140

(43)公開日 平成9年(1997)8月5日

(51)Int.Cl.<sup>6</sup>

H 0 1 L 21/76

21/316

識別記号

庁内整理番号

F I

H 0 1 L 21/76

21/316

技術表示箇所

N

審査請求 未請求 請求項の数23 O L (全 18 頁)

(21)出願番号 特願平8-309590

(22)出願日 平成8年(1996)11月20日

(31)優先権主張番号 特願平7-302993

(32)優先日 平7(1995)11月21日

(33)優先権主張国 日本 (J P)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 梅澤 華織

神奈川県川崎市幸区堀川町72番地 株式会  
社東芝川崎事業所内

(72)発明者 土屋 憲彦

神奈川県川崎市幸区堀川町72番地 株式会  
社東芝川崎事業所内

(72)発明者 松下 嘉明

神奈川県川崎市幸区堀川町72番地 株式会  
社東芝川崎事業所内

(74)代理人 弁理士 三好 秀和 (外3名)

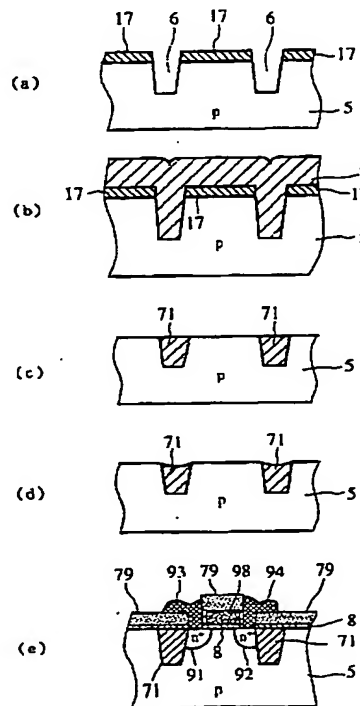
最終頁に続く

(54)【発明の名称】 素子分離半導体基板およびその製造方法

(57)【要約】

【課題】 素子形成領域に結晶欠陥の発生が少ない、有機シリコン系CVD法等による埋め込み素子分離法技術を提供する。

【解決手段】 半導体基板の所定の場所に選択的に溝部が形成され、この溝内に有機シリコン系CVD法による酸化膜を埋込酸化膜として埋め込んだ埋込素子分離基板であって、この埋込酸化膜は半導体基板の平坦化前又は平坦化の後に1100℃～1350℃で熱処理されている。熱処理により埋込酸化膜中の5員環以上の環構造と4員環以下の環構造が所定の割合であるように構成される。



## 【特許請求の範囲】

【請求項1】 半導体基板の表面の一部に形成された複数の溝部と、該溝部の内部に形成された埋込酸化膜と、該溝部と溝部との間に形成された素子形成領域とからなる素子分離半導体基板であって、

該埋込酸化膜は有機シリコン系CVD法、塗布ガラスの塗布法、又は陽極酸化法のいずれかの方法により形成され、1100～1350℃の温度で熱処理された酸化膜であることを特徴とする素子分離半導体基板。

【請求項2】 前記溝部の深さ $d$ と、前記溝部の開口部の幅 $l_1$ の寸法との比で定義されるアスペクト比 $d/l_1$ が1.0以下であることを特徴とする請求項1記載の素子分離半導体基板。

【請求項3】 前記溝部の開口部の幅 $l_1$ を最小スペース幅とし、前記素子形成領域の幅 $l_2$ を最小ライン幅とした所定の方向のライン・アンド・スペースの繰り返しパターンにおいて、該所定の方向で定義される $l_1$ と $l_2$ との比 $l_1/l_2$ が1.5以下であることを特徴とする請求項1記載の素子分離半導体基板。

【請求項4】 半導体基板の表面の一部に形成された複数の溝部と、該溝部の内部に形成された埋込酸化膜と、該溝部と溝部との間に形成された素子形成領域とからなる素子分離半導体基板であって、該埋込酸化膜は5員環以上の環構造および4員環以下の環構造をそれぞれ所定の割合で含む非晶質シリコン酸化膜であることを特徴とする素子分離半導体基板。

【請求項5】 前記環構造の所定の割合は、前記各環構造に対応するラマンシフトの積分強度の全体の積分強度に対する割合で決定され、5員環以上が実質的に全体の85%以上、および4員環以下が実質的に全体の15%以下であるという条件の、いずれか一方、もしくは両方を満たす構造であることを特徴とする請求項4記載の素子分離半導体基板。

【請求項6】 前記埋込酸化膜は有機シリコン系CVD法、塗布ガラスの塗布法、又は陽極酸化法のいずれかの方法により形成され、1100～1350℃の温度で熱処理された酸化膜であることを特徴とする請求項4記載の素子分離半導体基板。

【請求項7】 前記溝部の深さ $d$ と、前記溝部の開口部の幅 $l_1$ の寸法との比で定義されるアスペクト比 $d/l_1$ が1.0以下であることを特徴とする請求項4記載の素子分離半導体基板。

【請求項8】 前記溝部の開口部の幅 $l_1$ を最小スペース幅とし、前記素子形成領域の幅 $l_2$ を最小ライン幅とした所定の方向のライン・アンド・スペースの繰り返しパターンにおいて、該所定の方向で定義される $l_1$ と $l_2$ との比 $l_1/l_2$ が1.5以下であることを特徴とする請求項4記載の素子分離半導体基板。

【請求項9】 少なくとも以下の工程を含むことを特徴とする素子分離半導体基板の製造方法。

(イ) 半導体基板の表面の一部に複数の溝部を形成する第1工程

(ロ) 該溝部に有機シリコン系CVD法により酸化膜を埋め込む第2工程

(ハ) 該酸化膜を基板温度1100℃～1350℃で熱処理する第3工程

【請求項10】 前記第2工程における有機シリコン系CVD法は常圧CVD法、減圧CVD法、プラズマCVD法、光CVD法および液相CVD法のうちのいずれかであることを特徴とする請求項9記載の素子分離半導体基板の製造方法。

【請求項11】 前記第3工程における熱処理は $H_2$ 等の還元性ガス、He、Ne、Ar、Kr、Xe等の不活性ガス、 $O_2$ 、 $N_2$ 、HCl、CO、および $CO_2$ のいずれか、又はこれらのうちから選択された2種以上のガスからなる混合ガス中で行なわれることを特徴とする請求項9記載の素子分離半導体基板の製造方法。

【請求項12】 前記第2工程は、溝部よりも厚く酸化膜を堆積し、その後前記半導体基板の表面が実質的に露出するまで表面を平坦化することを特徴とする請求項9記載の素子分離半導体基板の製造方法。

【請求項13】 前記第2工程は、溝部よりも厚く酸化膜を堆積する工程であり、前記第3工程の後で、前記半導体基板の表面が実質的に露出するまで表面を平坦化する第4工程をさらに含むことを特徴とする請求項9記載の素子分離半導体基板の製造方法。

【請求項14】 前記溝部の深さ $d$ と、前記溝部の開口部の溝幅 $l_1$ の寸法との比で定義されるアスペクト比 $d/l_1$ が1.0以下であることを特徴とする請求項9記載の素子分離半導体基板の製造方法。

【請求項15】 前記溝部の幅 $l_1$ を最小スペース幅とし、前記素子形成領域の幅 $l_2$ を最小ライン幅とした所定の方向のライン・アンド・スペースの繰り返しパターンにおいて、該所定の方向で定義される $l_1$ と $l_2$ との比 $l_1/l_2$ が1.5以下であることを特徴とする請求項9記載の素子分離半導体基板の製造方法。

【請求項16】 少なくとも以下の工程を含むことを特徴とする素子分離半導体基板の製造方法。

(イ) 第1および第2の主表面を有する第1の半導体基板を用意し、

該第1の主表面に直接接合用酸化膜を有機シリコン系CVD法により形成し、基板温度1100℃～1350℃において第1の熱処理を行なった後該第1の主表面を平坦化する第1工程、

又は該第1の半導体基板の該第1の主表面を平坦化後基板温度1100℃～1350℃における第1の熱処理を行なう第1工程

(ロ) 該直接接合用酸化膜を介して、該第1の半導体基板と、該第1の半導体基板とは異なる第2の半導体基板とを直接接合し、その後、該第1の半導体基板を所定の

厚みに調整する第2工程

(ハ) 該第1の半導体基板の該第2の主表面の一部に複数の溝部を形成する第3工程

(ニ) 該複数の溝部に有機シリコン系CVD法により埋込酸化膜を形成する第4工程

(ホ) 該埋込酸化膜に対して基板温度1100℃～1350℃において第2の熱処理を行う第5工程

【請求項17】 前記第1および第4工程における有機シリコン系CVD法は常圧CVD法、減圧CVD法、プラズマCVD法、光CVD法および液相CVD法のうちのいずれかであることを特徴とする請求項16記載の素子分離半導体基板の製造方法。

【請求項18】 前記第1および第2の熱処理は $H_2$ 等の還元性ガス、 $He$ 、 $Ne$ 、 $Ar$ 、 $Kr$ 、 $Xe$ 等の不活性ガス、 $O_2$ 、 $N_2$ 、 $HCl$ 、 $CO$ および $CO_2$ 、のいずれか、又はこれらのうちから選択された2種以上のガスからなる混合ガス中で行なわれることを特徴とする請求項16記載の素子分離半導体基板の製造方法。

【請求項19】 前記第4工程は、溝部よりも厚く酸化膜を堆積し、その後前記第1の半導体基板の第2の主表面が実質的に露出するまで表面を平坦化することを特徴とする請求項16記載の素子分離半導体基板の製造方法。

【請求項20】 前記第4工程は、溝部よりも厚く酸化膜を堆積する工程であり、前記第5工程の後で、前記第1の半導体基板の第2の表面が実質的に露出するまで表面を平坦化する第6工程をさらに含むことを特徴とする請求項16記載の素子分離半導体基板の製造方法。

【請求項21】 前記溝部の深さ $d$ と、前記溝部の開口部の溝幅 $l_1$ の寸法との比で定義されるアスペクト比 $d/l_1$ が10以下であることを特徴とする請求項16記載の素子分離半導体基板の製造方法。

【請求項22】 前記溝部の幅 $l_1$ を最小スペース幅とし、前記素子形成領域の幅 $l_2$ を最小ライン幅とした所定の方向のライン・アンド・スペースの繰り返しパターンにおいて、該所定の方向で定義される $l_1$ と $l_2$ との比 $l_1/l_2$ が1.5以下であることを特徴とする請求項16記載の素子分離半導体基板の製造方法。

【請求項23】 少なくとも以下の工程を含むことを特徴とする素子分離半導体基板の製造方法。

(イ) 第1および第2の主表面を有する第1の半導体基板を用意し、該第1の主表面の一部に複数の溝部を形成する第1工程

(ロ) 該第1の主表面に直接接合用酸化膜を有機シリコン系CVDにより形成し、基板温度1100℃～1350℃において熱処理を行なった後該第1の主表面を平坦化する第2工程、

又は該第1の主表面を平坦化後基板温度1100℃～1350℃における熱処理を行なう第2工程

(ハ) 該直接接合用酸化膜を介して、該第1の半導体基

板と、該第1の半導体基板とは異なる第2の半導体基板とを直接接合し、その後該第1の半導体基板の厚みを該直接接合用酸化膜の一部が露出するまで、薄くし、該第1の半導体基板の第2の主表面に該直接接合用酸化膜に囲まれた素子形成領域を形成する第3工程

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はLSI等の半導体集積回路用基板およびその製造方法に関するもので、特に半導体集積回路の素子分離技術に係るものである。

【0002】

【従来の技術】 LSIを形成するには、トランジスタ等の能動素子、又は抵抗やキャパシタ等の受動素子を形成する素子形成領域の周辺に、1つの素子形成領域と他の素子形成領域とを電気的に分離する素子分離領域とを形成することが必要である。MOS・LSI技術やバイポーラLSI技術の発展の中でこの素子分離領域を形成するための素子分離技術は常に重要な技術課題の一つであったが、今後もその重要性はますます増大すると考えられる。この素子分離技術の歴史の中で時代を画する一つの展開は、素子形成領域と素子分離領域を自己整合的に区分できるLOCOS (LOCAL Oxidation of Silicon) 技術の開発であったと言える。LOCOS技術 (LOCOS法) は図15に示すように窒化膜 ( $Si_3N_4$  膜) 88をマスクにして選択酸化を行ない、 $Si_3N_4$  膜のない場所のSi表面に形成された酸化膜 ( $SiO_2$  膜) 82を素子分離領域の絶縁層として用いるものである。この素子分離技術とポリシリコン配線技術とが相まって今日のLSI産業の隆盛をもたらしたといっても過言ではない。しかしサブミクロンからディープサブミクロンの微細加工時代に至り、このLOCOS技術もいよいよその限界に近づきつつある。その最大の問題点は、いわゆるバズピークの存在による素子形成領域 (活性領域) の侵食と、フィールド酸化膜形成時の局所的なストレスの発生による結晶欠陥の発生である。とくにバズピークはVLSIあるいはULSIにとっては高集積化の阻害要因となっており、バズピークによる侵食を少なくし微細化するためには酸化膜82の厚さを薄くせざるを得なくなる。しかし酸化膜82の厚さを薄くすることは、素子間耐圧が低下するという問題を発生させる。これを克服するためにLOCOS法の改良や新しい分離技術が種々提案されている。たとえばLOCOS法をベースとした改良素子分離技術として改良コプラナ法、直接窒化膜マスク方式、あるいはSWAMI (Side Wall Masked Isolation) 等が知られ、さらに選択エピタキシャル法やUグループ法等も提案されている。これらの素子分離技術に加え、BOX (Buried Oxide) 法と呼ばれる、図16に示すような酸化膜埋込み法がサブミクロン寸法、ディープサブミクロン寸法のV

LSI等における素子分離技術として注目されている。これはシリコン基板5にU溝を形成した後、 $\text{SiO}_2$ 等の絶縁材料77をU溝を埋め込むように堆積する素子分離技術である。

【0003】BOX法で用いる絶縁膜堆積技術には、均一性、平坦性、段差被覆性（ステップカバレッジ）、膜質、およびプロセスの低温化等の種々の要求が課せられている。このうち特に段差被覆性およびプロセスの低温化が重要である。ギガスケール集積回路（GSI）等、ますます高集積化が進む、半導体集積回路の製造には低温で良質な絶縁膜が要求されるのである。この要求に対して従来比較的低温（300～450℃）で形成できるモノシラン（ $\text{SiH}_4$ ）と $\text{N}_2\text{O}$ 等を用いたCVD技術であるLTO（Low Temperature Oxide）が知られているが、LTOは形成条件にもよるが一般に段差被覆性が悪く、膜質も劣る。とくに常圧CVD法や減圧CVD法による酸化膜は引っ張り応力を示し、クラック耐性が弱いという欠点をもつ。

【0004】これらの要件を鑑み、最近TEOS（テトラエチルオルソシリケート： $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）を代表とする有機シリコン系材料を用いたCVD技術の研究が活発となっている。たとえばTEOSと $\text{O}_3$ の反応によれば450℃以下の低温で絶縁膜の形成が可能で、しかも段差被覆性が良好であるからである。

【0005】

【発明が解決しようとする課題】図16に示したBOX法のうちで比較的溝の深さが浅いものは微細化に有利で、シャロウ・トレンチ分離（Shallow Trench Isolation; STI）法とも称せられる。しかしながら、このSTI法は、LOCOS法に比し素子を微細化する点では有利であるが、能動素子領域（素子形成領域）となるシリコン等の半導体基板と溝に埋め込まれる絶縁物（例えばシリコンの酸化物）との間で、熱膨張係数が異なるため、素子分離領域形成中、または素子分離領域形成後のLSI製造工程中の熱工程によって半導体基板中に応力が生じ、図16に太い実線で示すような転位12等の結晶欠陥を発生させることになるという問題があった。特に、シリコン酸化物の形成を有機シリコンソースを原料とした場合、有機シリコンソースの原料精製技術に起因した不純物の問題がクローズ・アップされてきている。すなわち、現状では高純度の有機シリコンソースを得ることが困難であるため、堆積直後はシリコンの酸化物（ $\text{SiO}_2$ ）以外の不純物（例えば $\text{H}_2\text{O}$ 、有機物等）が $\text{SiO}_2$ 中に残存あるいは吸着している。したがって、その後の800～1000℃の熱工程により、これらの不純物が解離されることに起因する種々の問題点が生じる。有機シリコンソース原料中の不純物としての水分は通常100～20ppm含まれている。このため、たとえばシリコンデバイスにおいては、シリコン基板と埋込んだ $\text{SiO}_2$ （埋込み酸化

膜）とでは熱膨張率が異なる上に、埋込み酸化膜中の水分の解離に伴ない、膜収縮が加わり、シリコン基板に過大な圧縮応力が加わるという問題が挙げられる。さらに、図16に示す従来のSTI構造は素子分離領域形成中、またはその後の素子製造工程に伴う熱過程において基板に結晶欠陥を導入し易くなるという欠点があった。つまり、従来の有機シリコンソースを用いたSTI法による素子分離技術は基板表層に転位12等の結晶欠陥が発生、増殖、伝搬しやすいという一次的な問題点と、これらの問題点に付随して、これらの結晶欠陥が金属不純物を捕獲し易く、素子形成領域（活性領域）に結晶欠陥が多数発生するために接合リーク等の電氣的不良が発生しやすいという二次的な問題点があった。

【0006】特に、実際のLSI製造プロセスでは、素子分離領域の存在自身に起因する応力の他に、イオン注入によるダメージに起因した応力、さらには電極、層間絶縁膜等のそれぞれ性質の異なる種々の多層膜が形成されていることに付随した応力等が生じており、結晶欠陥が発生し易い。STI構造自身に起因した結晶欠陥とこれ以外に起因した結晶欠陥の相乗的な効果もある。基板中に発生した結晶欠陥は、金属不純物等を捕獲し易くなる。このため従来のSTI法においては、活性層（素子形成領域）中の結晶欠陥の存在により、接合リークが増大したり、ゲート酸化膜の絶縁破壊が生じる等の電氣的不良が発生するという問題があった。したがって素子形成領域に結晶欠陥を発生させない素子分離技術の開発が今後の微細化されたLSI製造における重要な解決すべき課題であるのである。

【0007】つまり、微細化されたGSI、ULSI、VLSI等の素子分離技術においては、バースピークが存在しないこと、表面が平坦であること、および結晶欠陥が発生しないこと等の条件が要求されるのである。STI法ではバースピークの問題はないものの、表面の平坦性や結晶欠陥の発生の抑制は重要な解決すべき課題である。

【0008】上記のような問題点を鑑み、本発明はSTI法あるいはSTI法に類似の埋込み素子分離法を用いた半導体装置であって、 $\text{SiO}_2$ の応力に起因した素子形成領域に発生する結晶欠陥が低減された高集積密度半導体用の半導体基板を提供することを目的とする。

【0009】本発明の他の目的は $\text{SiO}_2$ の応力に起因した結晶欠陥を低減し、素子形成領域中のpn接合リーク電流を抑制し、同時に高集積密度化が可能な半導体基板の製造方法を提供することである。

【0010】本発明のさらに他の目的は、熱酸化膜のエッチングレートと同等なエッチングレートを有した良質な酸化膜を低温で素子分離領域に埋め込むことができる半導体基板の製造方法を提供することである。

【0011】

【課題を解決するための手段】上記目的を達成するた

め、この発明の第1の特徴は、図1(e)、図7

(f)、図9(g)および図14(e)に例示するように半導体基板の表面の一部に形成された複数の溝部6と、溝部6の内部に形成された埋込酸化膜71と、溝部6と溝部6との間の素子形成領域とからなる素子分離半導体基板であって、埋込酸化膜71は有機シリコン系CVD法、いわゆるSOG(Spin-on-glass)法と呼ばれる樹脂ガラスの塗布法又は陽極酸化法のいずれかの方法により形成され、その後1100~1350℃の温度で熱処理された酸化膜であることである。ここで「複数の溝部」とは、所定の切断面で観察した場合にその断面において複数の溝部が観察されるという意であって、平面パターン上における形状を限定するものではない。すなわち一定の場合においては、平面パターンとしてはこれらの溝部が連続して一つの溝部となっていておかまわらない。たとえば図1の対応する平面図を省略しているが、図1(a)に示される複数の溝部6は、図1

(e)の中央部に示されるような $n^+$ ソース領域91、 $n^+$ ドレイン領域92を具備するMOSトランジスタ等が形成される素子形成領域のまわりをぐるりと囲んだ一体の領域として形成されていると解することが可能であると解釈すべきである。あるいは、図12に示すように素子形成領域のまわりを埋込酸化膜71が島状に配置され、完全に囲んでいなくてもよい。いずれにせよ、一定の断面で観察した場合において素子形成領域を挟むように2以上の溝部が存在すれば本発明にいう「複数の溝部」に相当するのである。なお、1350℃以上の温度で酸化膜を熱処理しても本発明の目的は達成されるが、熱処理用の反応管や炉等の装置の構成が困難となり、また炉から半導体基板への汚染も問題となるので、現状の技術を考慮すると現実的ではない。また酸化膜の融点以上には高温にできないことは当業者には自明であろう。

【0012】好ましくは、第1の特徴において、半導体基板の表面に形成されるこれらの溝部6の深さ $d$ と、これらの溝部6の開口部の幅 $l_1$ の寸法との比で定義されるアスペクト比 $d/l_1$ が10以下であることである。図10に示すように本発明の第1の特徴はアスペクト比10以下において素子形成領域に観察される欠陥密度が低減し、アスペクト比10以上では埋込酸化膜71の応力の低減化が不十分であり、この応力に起因した欠陥密度は低減しないことが実験的に明らかになったからである。また好ましくは、溝部の幅 $l_1$ を最小スペース幅とし、素子形成領域の幅 $l_2$ を最小ライン幅とした所定の方向のライン・アンド・スペースの繰り返しパターンにおいてこの所定の方向で定義される $l_1$ と $l_2$ との比 $l_1/l_2$ が1.5以下であることである。図13に示すように $l_1/l_2$ が1.5以上では1100℃~1350℃の熱処理によっても酸化膜の応力は低減できず、結晶欠陥が発生する。なお、この $l_1/l_2$ は一定の方向について定義されるものであり、このライン・アンド・

スペース・パターンの繰り返しの方向に対して直交するような方向、すなわち図11(b)の切断面X-Xに直交する方向のパターンであって、最小ライン幅もしくは最小スペース幅とならないような部分のパターン寸法の比は1.5以上となってもかまわない。図12にはライン・アンド・スペース・パターンが2方向に存在する場合を示した。図12においてはX-X方向において比 $l_{1x}/l_{2x}$ が定義され、Y-Y方向において比 $l_{1y}/l_{2y}$ が定義される。このような場合においては少なくとも、いずれか一方の方向において比が1.5以下であればよい。たとえば

$$l_{1x}/l_{2x} \leq 1.5 \quad \dots (1)$$

$$l_{1y}/l_{2y} > 1.5 \quad \dots (2)$$

であれば(1)式を採用すればよい。逆の場合は(2)式を採用すればよい。もちろん両方向において比 $l_{1x}/l_{2x}$ 、 $l_{1y}/l_{2y}$ が共に1.5以下であつてもかまわない。本発明の「所定の方向で定義される $l_1$ と $l_2$ との比」とは、以上のように、いずれか一つの方向で定義され、その定義された方向における比 $l_1/l_2$ が1.5以下であれば、他の方向については問わないという意味に解すべきである。

【0013】本発明の第2の特徴は、第1の特徴と同様な図1(e)、図7(f)、図9(g)および図14

(e)に例示するような形状の素子分離半導体基板であって、この埋込酸化膜25、71は5員環以上の環構造および4員環以下の環構造をそれぞれ所定の割合で含む非晶質シリコン酸化膜であることである。

【0014】ここで所定の割合とはラマン散乱分光スペクトルの測定から求められる図4(a)および4(b)に示すような3員環、4員環、および5員環以上の多員環構造に対応するそれぞれのラマンシフトの積分強度の全体(全スペクトルの積分強度)に対する割合が所定の割合という意味である。すなわち図4(a)および4(b)に示すように波数300~700 $\text{cm}^{-1}$ のスペクトル領域を全体とした場合の各ラマンシフトの積分強度の割合を意味する。ここで各ラマンシフトの積分強度は対応するピークを含む所定のスペクトル範囲内で定義される。

【0015】つまり図5に示すように、(i)5員環以上に対応するラマンシフトの積分強度比が実質的に全体の85%以上、(ii)4員環または3員環に対応するラマンシフトの積分強度比が実質的に全体の15%以下、という2つの条件の少なく共一方を満たす非晶質シリコン酸化膜( $\text{SiO}_2$ 膜)であることにより、埋込酸化膜25、71中の応力および埋込酸化膜25、71と半導体基板5、16、23、との界面の応力が緩和され、素子形成領域中の転位の発生が抑制されることとなる。ここで「実質的に85%以上」とは図5でエラーバーで示すように約80%以上程度を許容するという意である。また「実質的に15%以下」とは約20%以下程度までが



許容されるという意である。3員環および4員環を共に含む場合は3員環と4員環の和が実質的に15%以下であればよい。すなわち本発明にいう85%以上、15%以下とは図5に示す関係を意味すると解すべきである。なお、本発明の第2の特徴における積分強度比の計算においてはバックグランド成分が除去されていることはもちろんである。本発明の第2の特徴の構造により、素子形成領域中に形成されるpn接合のリーク電流が低減し、良好な特性を有した高密度集積回路が実現できる。なお、本発明の5員環以上を実質的に85%以上、4員環または3員環を実質的に15%以下含む酸化膜のエッチング速度(エッチングレート)は図6に示すように $\text{NH}_4\text{F}$ によるエッチングレートが $130\text{nm}/\text{min}$ 以下となり、熱酸化膜の対応するエッチングレートとほぼ等しい。したがって簡単な5員環以上、4員環の組成の検証としてはエッチングレートを調べればよい。

【0016】本発明の第3の特徴は、図1(a)～

(e)又は図7(d)～(f)に例示するような、次の各工程を少なくとも含むことである。すなわち、(イ)図1(a)又は図7(d)に示すように半導体基板5、16の表面の一部に複数の溝部6を形成する第1工程、

(ロ)図1(b)、(c)又は図7(e)に示すように溝部6に有機シリコン系CVD法により酸化膜7、71を埋め込む第2工程、および(ハ)酸化膜71を基板温度 $1100^\circ\text{C} \sim 1350^\circ\text{C}$ で熱処理する第3工程、とを少なくとも含むことを特徴とする。「複数の溝部」とは一定の断面で見た場合の概念であることは上述した通りである。有機シリコン系CVD法とはTEOS(Tetraethylorthosilicate;  $\text{Si}(\text{O}_2\text{H}_5)_4$ )、TMOS(Tetramethoxysilane;  $\text{Si}(\text{OCH}_3)_4$ )、TPOS(Tetrapropoxysilane;  $\text{Si}(\text{OC}_3\text{H}_7)_4$ )、あるいはDADBS(Diacetoxyditeritarybutoxysilane;  $(\text{C}_4\text{H}_9\text{O})_2\text{Si}-(\text{OCOCH}_3)_2$ )等の有機シリコンソースを原料としたCVDをいう。

【0017】好ましくは、第2工程における有機シリコン系CVD法は常圧CVD法、減圧CVD法、プラズマCVD法、光CVD法および液相CVD法のうちのいずれかであることである。常圧CVD法は $\text{O}_2$ をオゾナイザーに導入して放電させて形成させたオゾン( $\text{O}_3$ )を用いる、いわゆるオゾン系常圧CVD法でもよい。減圧CVD法(LPCVD)はたとえばTEOS- $\text{O}_3$ の反応を $6.7\text{kPa}$ 等の減圧化で行うCVD法をいう。プラズマCVDとは $13.56\text{MHz}$ あるいは $150\text{kHz}$ 程度のプラズマ放電を用いてTEOS、 $\text{O}_2$ 、He等のガスソースを用いて行なえばよい。光CVD法はArF( $193\text{nm}$ )、KrF( $249\text{nm}$ )、XeCl( $308\text{nm}$ )、XeF( $350\text{nm}$ )等によるエキシマレーザ光や高圧水銀ランプ、水銀-キセノンランプ等

の、主として紫外光の光エネルギーを用いた光反応により行なえばよい。液相CVD法とは、たとえばRF放電により励起された $\text{O}_2$ とTMS(Tetramethylsilane;  $\text{Si}(\text{CH}_3)_4$ )を用いた $-40^\circ\text{C}$ でのCVD等をいう。

【0018】好ましくは、有機シリコン系CVD法による酸化膜は $\text{H}_2$ 等の還元性ガス、He、Ne、Ar、Kr、Xe等の不活性ガス、 $\text{O}_2$ 、 $\text{N}_2$ 、HCl、CO又は $\text{CO}_2$ のいずれか、又はこれらのうちから選択された2種以上のガスからなる混合ガス中で行なわれることである。

【0019】また、第2工程における埋込酸化膜の形成は、具体的には図1(b)に示すように溝部よりも厚く酸化膜7を堆積し、その後図1(c)に示すように半導体基板5の表面が実質的に露出するまで表面を平坦化するステップを含むことが好ましい。ここで「半導体基板の表面が実質的に露出する」とは、完全に半導体基板5が露出するまでエッチバックする必要は必ずしもなく、たとえば、その後の工程において必要があれば、 $50\text{nm} \sim 100\text{nm}$ 、あるいは $300\text{nm}$ 程度の極めて薄い酸化膜が半導体基板5の表面に残るようにエッチバックして、半導体基板の表面を平坦化しても「実質的に露出している」と解するという意味である。また平坦化の工程と熱処理の工程はどちらが先でもよい。したがって上述とは逆に前記第2工程としては、有機シリコン系CVDで溝部の深さよりも厚く酸化膜を形成する工程のみとし、第3工程の熱処理後、第4工程として表面の平坦化工程を行ってもよい。

【0020】本発明の第3の特徴における重要な点は熱処理温度(アニール温度)である。図2は有機シリコン系CVD法の後、 $1000^\circ\text{C} \sim 1350^\circ\text{C}$ の間で、 $50^\circ\text{C}$ 間隔で熱処理を行ない、素子分離半導体基板構造を試作した場合の結果を示す。つまり、この素子分離領域形成後、トレンチとトレンチの間の幅 $0.3\mu\text{m}$ の素子形成領域(SDG領域)にMOSTランジスタ等の素子を形成しMOST集積回路を構成した後の素子分離半導体基板を、表面SEM観察した結果である。図2に示すように、 $1100^\circ\text{C}$ 以下の低温側熱処理温度では転位が多発していることがわかる。これは図16に太い実線で示した従来のSTI基板における転位12と同様の転位である。

【0021】図2のデータは選択エッチング法で転位ピットを顕在化させてSEM観察を行ない、 $1\text{mm} \times 1\text{mm}$ 角の領域内の転位密度を面内5点において測定し、それらの値を平均した結果である。 $1000^\circ\text{C} \sim 1100^\circ\text{C}$ までの熱処理温度では図16(従来技術)の太い実線と同様の転位12が約 $10\text{個}/\mu\text{m}^2$ 発生しているが、それ以上の熱処理温度、すなわち本発明の温度領域では低減していることがわかる。また、上記の素子分離を行なったSDG領域にMOSTランジスタを形成し、この

MOSトランジスタ中の $p-n$ 接合構造に対応する $n^+-p$ ダイオードの接合リーク特性を測定した結果を図3に示す。1100℃以上の熱処理をした基板ではリーク電流が低減していることがわかる。この結果は、リーク電流の発生原因である $n^+-p$ ウェル接合部の転位が抑制されたことを反映しており、本発明による埋込酸化膜の応力制御が転位抑制、リーク電流低下に有効であることを示すものである。同様な結果は図8に示すバイポーラ集積回路の素子分離に用いた場合も明らかであり、1000℃以下における熱処理よりも本発明の温度領域(1100℃~1350℃)における熱処理の方が、 $SiO_2$ の応力が緩和され、接合リーク電流が低減していることがわかる。

【0022】本発明の第4の特徴は、(イ)第1および第2の主表面を有する第1の半導体基板を用意し、第1の半導体基板23の第1の主表面に図9(a)に示すように直接接合用酸化膜24を有機シリコン系CVD法により形成し、基板温度1100℃~1350℃において第1の熱処理を行なった後、その表面を図9(b)に示すように平坦化を行う第1工程、又は平坦化を行った後基板温度1100℃~1350℃における第1の熱処理を行う第1工程、(ロ)図9(b)に示されるように表面が平坦化された直接接合用酸化膜25を介して、第1の半導体基板23と、第1の半導体基板23とは異なる第2の半導体基板26とを直接接合し、いわゆるSOI(Silicon-On-Insulator)基板を形成し、その後図9(c)に示すようにこの第1の半導体基板23の裏面を研削、研磨エッチング等によりを所定の厚みに調整する第2工程、(ハ)第1の半導体基板23の第2の半導体基板26に対向しない側に位置する第2の主表面の一部に図9(d)に示すように複数の溝部6を形成する第3工程(図9(d)は図9(c)とは表裏を逆転している)、(ニ)この複数の溝部6のそれぞれへ有機シリコン系CVD法により図9(e)に示すように埋込酸化膜7を形成する第4工程、および(ホ)埋込酸化膜7に対して基板温度1100℃~1350℃において第2の熱処理を行なう第5工程、とを少なくとも含むことである。ここで第1の半導体基板23と第2の半導体基板26とは同種の半導体基板である必要はなくSiとSiC等の異種の半導体の組み合わせでもよい。つまりSi以外のIV族、III-V族、II-VI族半導体および非晶質材質を第1および第2の半導体基板として選ぶこともできる。なお、第1工程における第1の熱処理を省略し、第2工程の直接接合時に第1の熱処理と同一条件の1100℃~1350℃の熱処理を行ってもよい。あるいは第1の熱処理を省略し、第5工程における第2の熱処理によって第1の熱処理を代用してもよい。

【0023】本発明の第4の特徴の構成によれば、埋込酸化膜71および直接接合用酸化膜25の応力が低減され、素子形成領域における転位等の結晶欠陥の発生が抑

制される。

【0024】本発明の第5の特徴は、(イ)第1および第2の主表面を有する第1の半導体基板を用意し、図14(a)に示すように第1の半導体基板23の第1の主表面の一部に複数の溝部を形成する第1工程、(ロ)図14(a)に示すように第1の半導体基板の第1の主表面に直接接合用酸化膜25を有機シリコン系CVD法により形成し、基板温度1100℃~1350℃において熱処理を行なった後図14(b)に示すように第1の半導体基板23の第1の主表面の上部の酸化膜25を平坦化する第2工程、又は図14(b)に示すように第1の半導体基板23の第1の主表面の上部の酸化膜25を平坦化後基板温度1100℃~1350℃における熱処理を行なう第2工程、および(ハ)直接接合用酸化膜25を介して、図14(c)に示すように第1の半導体基板23と、第1の半導体基板とは異なる第2の半導体基板26とを直接接合し、その後第1の半導体基板23の厚みを直接接合用酸化膜25の一部が露出するまで薄くし、図14(d)に示すように、第1の半導体基板23の第2の主表面に、直接接合用酸化膜25に囲まれた素子形成領域を形成する第3工程、とを少なくとも含むことである。ここで第1の半導体基板23と第2の半導体基板26とは同種の半導体基板である必要はなくSiとSiC等の異種の半導体の組み合わせでもよい。つまりSi以外のIV族、III-V族、II-VI族半導体および非晶質材質を第1および第2の半導体基板として選ぶことができる。

【0025】本発明の第5の特徴によれば1回の有機シリコン系CVD法により、同時に埋込酸化膜25と直接接合用酸化膜25が形成できるので、第4の特徴に比して工程数が減少する。すなわち第1の半導体基板23の表面に露出した直接接合用酸化膜25が埋込酸化膜としても機能することとなる。また熱処理工程も第4の特徴に対し少ないのでプロセスの低温化に寄与することになる。

【0026】本発明の第5の特徴の構成によれば、埋込酸化膜25および直接接合用酸化膜25の応力が低減され、素子形成領域における転位等の結晶欠陥の発生が抑制される。

【0027】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を説明する。半導体装置の図面の表現上一般的なことではあるが、以下の図面は正確な寸法を表現したものではなく、模式的なものであると理解すべきである。特に各層の厚みの相対的關係は現実の比率等とは異なることに注意すべきである。

【0028】(第1の実施の形態)図1(e)は本発明の第1の実施の形態に係るMOS集積回路用の埋め込み素子分離半導体基板(シャロウ・トレンチ素子分離(STI)半導体基板)の断面構造で、図1(a)~(d)



は図1(e)に至るまでの製造方法を示す工程断面図である。本発明の第1の実施の形態に係る素子分離半導体基板は、図1(e)に示すように半導体基板5の表面から形成された溝部の内部に埋込酸化膜71が形成され、この埋込酸化膜71と埋込酸化膜71との間の素子形成領域の間に $n^+$ ソース領域91、 $n^+$ ドレイン領域92、ゲート酸化膜8、ポリシリコンゲート電極98、ソース電極93、ドレイン電極94、および層間絶縁膜79からなるMOSトランジスタが形成されている。

【0029】本発明の第1の実施の形態の素子分離半導体基板に形成されたMOS集積回路は、埋込酸化膜71の応力が以下に示すような熱処理を施すことにより緩和し、したがって素子形成領域には、従来技術で説明した図16に示すような転位12は発生しなくなる。したがって、転位に起因したpn接合リーク電流も低減する。

【0030】本発明の第1の実施の形態に係る素子分離半導体基板は以下のような工程によって製造できる。

【0031】(イ) まず面方位(100)の鏡面シリコン基板の表面にたとえば100nmのシリコン酸化膜17を水蒸気酸化法(ウェット酸化法)等により形成し、この酸化膜17の表面にフォトレジスト(図示省略)を塗布し、フォトリソグラフィ法によりフォトレジストをマスクとして酸化膜17をエッチングする。このエッチングにより酸化膜17からなるシリコンエッチング用マスクパターンを形成し、それ以外のシリコン基板5の表面を露出させる。そして、酸化膜エッチングに用いたフォトレジストを除去後、このシリコン基板5の露出部を酸化膜17をマスクとしてRIEにて図1(a)に示すように幅0.3 $\mu$ m、深さ1 $\mu$ mの溝を形成する。シリコン基板5のRIEはたとえば $CF_4$ と $H_2$ の混合ガスを1.3Paの圧力で、13.56MHzの高周波電力を0.22W/ $cm^2$ で印加して行なえばよい。あるいは $SF_6$ と $O_2$ との混合ガス、又は $CCl_4$ 等でRIEを行ってもよい。

【0032】(ロ) 次に、基板を洗浄後、図1(b)に示すように有機シリコンソース、例えばTEOS( $Si(OC_2H_5)_4$ )を用いたCVD法で酸化膜7を形成する。この酸化膜を堆積させる前に熱酸化膜あるいは $Si_3N_4$ を薄く形成させていてもかまわない。この酸化膜7は溝を完全に埋め込むため、溝の深さ以上例えば1.1 $\mu$ mの厚さでSi基板上の全面に形成する。この溝を埋め込む材料として有機シリコンソースに酸化剤例えば $N_2O$ 、 $O_2$ 、 $O_3$ などを加えたものでもよい。又、有機シリコンソース、 $SiH_4$ などのシリコン水素化合物、 $SiCl_4$ などのシリコン塩化物を単独、もしくはこれらの原料の2種類以上を混合して原料としたCVD法でも溝をシリコン酸化膜で埋め込むこともできるし、それぞれの原料に酸化物を加えてもかまわない。

【0033】(ハ) 続いて図1(c)に示すように、たとえばCDE法によってエッチバックすることにより溝

に埋め込まれた以外の部分のシリコン基板5を外部に露出させ、平坦化させる。

【0034】(ニ) 有機シリコンソースにより形成された埋込み酸化膜71は $SiO_2$ 以外の不純物、例えば水を多く含有するため、図1(d)に示すように1100~1350℃において熱処理を行なう。図1(d)に示すように熱処理により若干の湾曲(凹部)が生じる。本処理はたとえば $N_2$ 中で2時間程度の熱処理でよいが熱処理の雰囲気ガスは $O_2$ 、 $HCl$ 、還元性ガス、不活性ガスでも同様の結果が得られる。なお、素子分離領域以外の基板上的酸化膜を除去して平坦化した後、熱処理を行なう場合について説明したが、先に熱処理した後、素子分離領域以外の基板上的酸化膜7を除去して、平坦化しても同様の効果が得られる。

【0035】(ホ) 最後に、図1(e)に示すようにトレンチとトレンチの間の素子形成領域、すなわちSDG領域(幅0.3 $\mu$ m)にMOSトランジスタを形成する。MOSトランジスタの形成は、ポリシリコンゲート78を用いて自己整合的に $n^+$ ドレイン領域92を形成する標準的なMOSプロセスで形成すればよく、ここでは説明を省略する。

【0036】図1(e)に示したように素子形成領域にMOSトランジスタを形成した後の、素子形成領域中の転位密度は図2に示すように1個/ $\mu m^2$ 以下である。図2の転位密度の測定結果は、試料を選択エッチング後、SEM観察を行ない、1mm $\times$ 1mm角の領域内の5点の平均についてのデータである。

【0037】図3は上記MOSトランジスタの構造に対応したTEGパターンのpn接合ダイオードのリーク電流を示す。すなわち、 $n^+$ ソース領域91とpウェル5間に形成される $n^+$ p接合のリーク電流を図3に示すが、リーク電流が15pA以下に低減している。TEGパターンのダイオード面積は350 $\mu m \times$ 240 $\mu m$ であるので、このことは $1.7 \times 10^{-8} A/cm^2$ 以下のリーク電流密度に低減できたことを意味する。図3の結果は、本発明の第1の実施の形態により、リーク電流の発生原因である $n^+$ p接合部の転位が抑制されたことを示すものである。

【0038】図4(a)、(b)および図5は上記の転位密度の低減化や、リーク電流の低減化を可能にする本発明の第1の実施の形態に係る酸化膜の構造をラマン散乱を用いて調べた結果である。すなわち、まず、シリコン基板に、上記埋め込み絶縁膜の形成方法で酸化膜を面に均一に形成し、さらに前述の熱処理を施した酸化膜( $SiO_2$ )の構造をラマン散乱分光法により調べた結果である。 $SiO_2$ はラマン散乱断面積が小さく、測定においてはSi基板中からの振動によるラマン散乱のピークが支配的になるので、 $SiO_2$ が表面に形成されているシリコン基板のラマン散乱シフトのスペクトルから $SiO_2$ 膜が形成されていないSi基板の、ラマン散乱

シフトのスペクトルを差し引くことで図4 (a) に示すような複数のピークを有した  $\text{SiO}_2$  のラマン散乱のスペクトルが得られる。またこのピークをシミュレーションによって分離すると図4 (b) のように、3員環、4員環、および5員環以上の多員環に分離できる。この環状構造の分離の方法は、C. J. Breinker et al., J. Non-Cryst. Solids 82 (1986) 177などによって確立されている。図4 (a) においてアニール1は1000℃、1時間の熱処理で、アニール2は1150℃、1時間の熱処理である。またアニール1、およびアニール2はいずれもN<sub>2</sub> ガス雰囲気中の熱処理である。

【0039】熱処理温度ごとに各ラマンシフトのスペクトルの積分強度を取り、全体の積分強度に対する比（以下積分強度比という）を求めると図5のようになる。全体の積分強度とは波数300～700  $\text{cm}^{-1}$  におけるスペクトルの積分強度で、Si基板からのバックグラウンド値を引いた（除いた）値である。転位の発生が低減する1100℃から3、4員環の積分強度比は低減し、また5員環以上の多員環の積分強度比が増加していることが分かる。すなわち、 $\text{SiO}_2$  の環構造において、4員環以下の積分強度比が実質的に全体の15%以下、もしくは5員環以上の多員環の積分強度比が実質的に全体の85%以上であれば転位の発生原因である埋め込み材の応力が緩和され、転位を抑制することができることがわかる。ラマン散乱の測定の誤差等を考慮すると、図6に示すように4員環以下は約20%以下、5員環以上は約80%以上であれば本発明の効果は得られると言える。

【0040】図6は本発明の第1の実施の形態に係る酸化膜のエッチングレート（エッチング速度）を示す。本発明の熱処理温度、すなわち1100℃～1350℃で熱処理した酸化膜の $\text{NH}_4\text{F}$ （フッ化アンモニウム）溶液によるエッチングレートは130  $\text{nm}/\text{min}$ 以下であり、図6の左側に示した熱酸化膜のエッチングレートとほぼ等しい値である。有機シリコン系CVD法により堆積し熱処理しない酸化膜、いわゆる「アズ・デポ」の酸化膜は約650  $\text{nm}/\text{min}$ のエッチングレートで $\text{NH}_4\text{F}$ によってエッチングされる。したがって本発明の高温アニールにより5員環以上が80%となる共に、酸化膜のエッチングレートが下がることがわかる。酸化膜のエッチングレートとラマン散乱で測定した5員環以上、3、4員環の $\text{SiO}_2$  のそれぞれの含有率はほぼ対応していると言える。

【0041】なお、本発明の第1実施の形態においては上記(ロ)の工程でTEOS等の有機シリコンソースを用いたCVD法で酸化膜7を形成したが、酸化膜形成方法はこのような有機シリコン系CVD以外の方法でもよい。たとえば、いわゆるSOG（Spin-on-glass: スピン・オン・ガラス）法と称せられる方法を用いてもよい。SOG法はアセトン、キシレン等の溶剤にポリシロキサ

ンを溶かした樹脂ガラスをスピナー等を用いて塗布し、80℃～100℃のプリベークで溶剤を取り除き、 $\text{SiO}_2$  膜を形成する方法である。SOG法で $\text{SiO}_2$  膜を形成後1100～1200℃で熱処理することにより上記と同様の効果が得られる。すなわちSOG法の場合も、ラマン散乱スペクトルから求められる5員環以上の多員環の積分強度比が実質的に全体の85%以上、3員環又は4員環の積分強度比が実質的に全体の15%以下とすることにより、転位が抑制され、リーク電流が低減する。樹脂ガラスについては特公昭58-51422号公報、米国特許3985597号公報、4004044号公報等に記載されている。これらの樹脂ガラスは市販されており、たとえばAllied Signal-Accuspin 418/720, Allied Signal-Accuglass T-11/T-14, Dow-Corning 805, Owens-Illinois 650, General Electric SR125/SR124等を用いればよい。80℃～100℃のプリベーク後、600℃程度の低温アニールを行ない、その後1100℃～1350℃の高温アニールを行うようにしてもよい。

【0042】（第2の実施の形態）図7 (f) は本発明の第2の実施の形態に係るバイポーラ集積回路用素子分離半導体基板の構造を示す断面図で、図7 (a) ～7

(e) は図7 (f) の構造に至るまでの製造方法を示す模式的断面図である。本発明の第2の実施の形態に係るバイポーラ集積回路用素子分離半導体基板の製造方法は、

(イ) まず、図7 (a) に示すようにp型のシリコン基板13の表面に水蒸気酸化により200～350  $\text{nm}$  の $\text{SiO}_2$  膜14を形成する。

【0043】（ロ）次にこの $\text{SiO}_2$  膜14をフォトリソグラフィ法を用いて図7 (b) に示すようにフォトレジストをマスクとしてパターンニングし、一部のシリコン基板13の表面を露出させ、拡散マスク14を形成する。そしてこの拡散マスク14を用いてSb（アンチモン）を熱拡散させ、不純物密度 $3 \times 10^{20} \text{cm}^{-3}$  の、n<sup>+</sup>埋込層15を形成する。

【0044】（ハ）酸化膜除去後、図7 (c) に示すように、 $\text{SiH}_4$  や $\text{SiH}_2\text{Cl}_2$  等のシラン化合物とドーピングガスとしての $\text{PH}_3$  等のリン化合物を $\text{H}_2$  キャリアガスを流しながら高温で分解し基板上に膜厚2.5  $\mu\text{m}$  のn層16をエピタキシャル成長させる。

【0045】（ニ）次にn層16の上に酸化膜17を0.3  $\mu\text{m}$  程形成させフォトリソグラフィ法により酸化膜17の上にフォトレジストのパターンを形成した後、フォトレジストをマスクにして酸化膜17に窓を開け、エッチング用マスク17を形成する。その後フォトレジストを除去し酸化膜17をマスク層としてn層16の選択的エッチングを行なって図7 (d) に示すように、n層16中に約3  $\mu\text{m}$  の深さの溝を形成する。この選択的エッチングは異方性をもたせるため $\text{CCl}_4$  あるいはC

2 Br<sub>2</sub> F<sub>4</sub> によるRIE法を用いる。溝のアスペクト比が大きい場合はSF<sub>6</sub> ガスプラズマによる低温マイクロ波プラズマエッチングが好ましい。たとえば基板温度を-80℃~-150℃に冷却してプラズマエッチングを行えばよい。

【0046】 (ホ) さらに本発明の第1の実施の形態の場合と同様にTEOS, TMOS, TPOS等の有機シリコンソースを原料としてCVD法で図7 (e) に示すように溝を埋め込む。

【0047】 (ヘ) 最後に、この表面を図8 (f) に示すように平坦化を行なった後、1100~1350℃の高温で、N<sub>2</sub> 雰囲気中で2時間保持し熱処理を行う。この熱処理の雰囲気はN<sub>2</sub> ガス以外のO<sub>2</sub>, HCl、還元性ガス、不活性ガスでも可能である。なお、上記説明とは順序を変更し、CVD直後に1100℃~1350℃の熱処理を先に行ない、その後エッチバック、すなわち平坦化しても同様の効果がある。この溝を素子分離領域として、その間にn<sup>+</sup> コレクタ引出し領域20、p<sup>+</sup> ベース領域21、n<sup>+</sup> エミッタ領域22を形成し、図7 (f) に示すようにバイポーラトランジスタを完成する。図7 (f) には簡単化のためにエミッタ金属電極、コレクタ金属電極や層間絶縁膜等の図示を省略しているが、標準的なバイポーラICの構造であり、これらの金属電極、絶縁膜は当然具備されているものである。

【0048】 図8は本発明の第2の実施の形態に係るnpnバイポーラトランジスタの素子特性をTEGパターンを用いてリーク電流について調査した結果である。p<sup>+</sup> ベース領域21とnコレクタ領域16との間でのp<sup>+</sup> -n接合に対応したTEGパターンのリーク電流を測定し、各熱処理温度に対してプロットしている。TEGパターンのダイオード面積は350×240μmである。本発明の温度範囲(1100℃~1350℃)においてp<sup>+</sup> -n接合のリーク電流は1.7×10<sup>-8</sup>A/cm<sup>2</sup>以下に低下しており、リーク電流発生原因である転位が抑制されていることがわかる。

【0049】 (第3の実施の形態) 図9 (g) は本発明の第3の実施の形態に係る素子分離半導体基板の断面図で、図9 (a) ~ (f) は図9 (g) に至るまでの製造方法を示す模式的な断面図である。本発明の第3の実施の形態においてはBiCMOS集積回路に適用する場合について説明するが、MOS集積回路、バイポーラ集積回路、静電誘導トランジスタ(SIT)集積回路等にも適用できることはもちろんである。本発明の第3の実施の形態に係るBiCMOS集積回路用半導体基板の製造方法は、

(イ) まず、図9 (a) に示すように(100)面等所定の面方位の第1の主表面(表面)および第2の主表面(裏面)を有したn型シリコン基板(半導体基板)23を用意する。このn型シリコン基板23の表面(第1の主表面)にCVD法により厚さ1μmのSiO<sub>2</sub>膜56

を形成する。CVDはTEOS, HMDS (Hexamethydisiloxane; Si<sub>2</sub>O(C<sub>2</sub>H<sub>5</sub>)<sub>6</sub>), OMCTS (Octamethylcyclotetrasiloxane; c(OSi(C<sub>2</sub>H<sub>5</sub>)<sub>2</sub>)<sub>4</sub>)等の有機シリコンソースを用いればよい。

【0050】 (ロ) 次に図9 (a) のSiO<sub>2</sub> CVDをしたn型シリコン基板23を1100℃~1200℃、N<sub>2</sub> 雰囲気中で2時間保持し熱処理する。その後、裏面を吸引固定させながら機械的及び化学的研磨(CMP)法等を用いて酸化膜を0.3μmの厚さに平坦化して、直接接合(以下「SDB」という)用酸化膜25を図9 (b) に示すように形成する。

【0051】 (ハ) 次に、表面を鏡面に研磨したシリコン基板26を別に用意し、SDB用酸化膜25を介して図9 (c) に示すようにn型シリコン基板23と、シリコン基板26とを互いに貼り合わせ、1100℃で1時間~2時間熱処理することにより、SDB基板を形成する。この際電圧を印加して、熱処理してもよい。次にn型シリコン基板23の裏面(第2の主表面)を研磨してn型シリコン基板23の厚みが1μmとなるように、厚み調整を行なう。なお、シリコン基板の貼り合わせを1100℃以上で行なえば、実質的に上記(ロ)の熱処理と同等な効果を得ることができるので、上記(ロ)の熱処理を省略して、貼り合わせ時の熱処理で兼ねることも可能である。また貼り合わせ時の熱処理を1200℃にする方法、あるいは貼り合わせ時の熱処理を1100℃と1200℃の2段階で行うことも可能である。

【0052】 (ニ) 次に図9 (c) の状態を上下逆転し、図9 (d) のようにn型シリコン基板23の裏面(第2の主表面)を上とする。このSDB法により形成したn型シリコン基板23の第2の主表面に300nmの熱酸化膜17を形成し、フォトリソグラフィ法により、フォトレジストをマスクとして熱酸化膜17の一部を所定のパターンにエッチング除去し、さらに熱酸化膜17のエッチング用マスクとして用いたフォトレジストを除去する。こうして得た熱酸化膜17をマスクとしてCCl<sub>4</sub>, SF<sub>6</sub>等によるRIEを用いて、図9 (d) に示すように、n型シリコン基板23の一部を、SDB用酸化膜25が露出するまで深さ1μmエッチングし、U溝6を形成する。

【0053】 (ホ) 次に、図9 (e) に示すようにTEOS, TMCTS (1, 3, 5, 7-tetramethylcyclotetrasiloxane; c(OSiHCH<sub>3</sub>)<sub>4</sub>)又はTES (Triethylsilane; SiH(C<sub>2</sub>H<sub>5</sub>)<sub>3</sub>)等の有機シリコンソースを用いた減圧CVD法(LPCVD法)等により、SiO<sub>2</sub>膜7を1.1~1.5μm堆積する。LPCVD法のかわりにECRプラズマCVD法やICP-CVD法を用いてもよい。このU溝6を埋め込む材料として、

有機シリコンソースに酸化剤例えば $N_2O$ 、 $O_2$ 、 $O_3$ などを加えたものでもよい。又、有機シリコンソース、 $SiH_4$ などのシリコン水素化合物、 $SiCl_4$ などのシリコン塩化物を単独、もしくはこれらのうちのいずれかの原料の2種類以上を混合して原料としたCVD法によってもU溝6をシリコン酸化膜7で埋め込むこともできるし、それぞれの原料に酸化物を加えてもかまわない。

【0054】(へ) 続いて、CDE法等によってCVD  $SiO_2$  膜7をエッチバックすることによりU溝6に埋込まれた部分以外のn型シリコン基板23の表面を外部に露出させ、図9(f)に示すように平坦化させる。

【0055】(ト) 図9(f)に示す状態の有機シリコンソースを用いたCVD法により形成された埋込み酸化膜71は $SiO_2$ 以外の不純物例えば水を多く含有するため、1100~1350℃において熱処理を行なう。この熱処理はたとえば $N_2$ 中で2時間程度でよいが、この際の雰囲気ガスは $O_2$ 、 $HCl$ 、還元性ガス、不活性ガスあるいは $CO$ 、 $CO_2$ でも同様の結果が得られる。この熱処理後、埋込み酸化膜71で囲まれたn型シリコン基板23からなる素子形成領域に、周知のMOSプロセス、バイポーラプロセスを用いて、それぞれCMOS回路、バイポーラ回路を構成すれば、図9(g)に示すようなBiCMOS集積回路が完成する。なお、上記(ロ)の工程における1100℃~1200℃の熱処理を省略して、上記(ト)の工程における1100℃~1350℃の熱処理で代用しても、ほぼ本発明の目的を達成できる。この場合は工程の簡略化という利点がある。

【0056】以上説明したように素子分離絶縁膜として有機シリコンソース、例えばTEOSを原料としたCVD法による絶縁材料を用いる場合において、本発明の第3の実施の形態の熱処理をすることで応力を低減させ、素子分離領域形成中またはその後の素子製造工程における熱処理中における転位の発生や増殖を低減することができる。したがって、本発明の第3の実施の形態によれば素子形成領域中に形成されたpn接合のリーク電流の値を $1.7 \times 10^{-8} A/cm^2$ 以下に低下させることができ、BiCMOS集積回路の高性能化が実現できる。

【0057】なお、上記第1~第3の実施の形態におけるU溝深さdのU溝幅 $l_1$ に対するアスペクト比 $d/l_1$ は一例であり、上記の説明のアスペクト比に限られる必要はない。図10に示すようにアスペクト比 $d/l_1$ が10以下のU溝に埋め込んだ酸化膜を本発明の熱処理条件(1100℃~1350℃)において熱処理すれば、欠陥密度は低下するので、アスペクト比 $d/l_1$ は10以下の値ならば適宜選択してよい。なお、図10に示すように1100℃、1050℃等の本発明の熱処理条件の範囲外の場合は、アスペクト比 $d/l_1$ が10以下でも欠陥密度は低減しないことがわかる。

【0058】図13は一定方向のライン・アンド・ス

ースの繰り返しパターンにおいて分離溝の幅 $l_1$ と、素子形成領域の幅 $l_2$ との比 $l_1/l_2$ を変えた場合の、素子形成領域における欠陥密度(転位ピット密度)を調べた結果である。すなわち、素子分離領域のU溝6を図11のように並べたライン・アンド・スペース・パターンにおいて、素子分離領域の幅 $l_1$ と素子形成領域の幅 $l_2$ の比を0.003~10の間で変化させて埋め込み素子分離基板を作製し、その素子形成領域における転位ピットを選択エッチングして顕在化させ測定したものである。図11(a)は図11(b)のX-X方向断面図である。この場合有機シリコンソースを原料としたCVD法で酸化膜をU溝中に埋め込み、1000、1050、1100、1200、1350℃で2時間の熱処理を行って比較した結果が図13である。図13に示すように $l_1/l_2$ が1.5以上で欠陥は増加している。したがって、本発明は素子分離領域の幅 $l_1$ が素子形成領域の幅 $l_2$ の1.5倍以下で効果があり、この範囲ならば、上記第1~第3の実施の形態における $l_1/l_2$ 以外の値を任意に選択して用いてもよい。 $l_1/l_2 \leq 1.5$ という条件は一定の方向のライン・アンド・スペース・パターンで定義されるものである。たとえば図12に示すようにX-X方向のライン・アンド・スペース・パターンとY-Y方向のライン・アンド・スペースの方向がある場合は、いずれかの方向において定義される $l_{1x}/l_{2x}$ 又は $l_{1y}/l_{2y}$ の値の少なくとも一方が1.5以下であればよい。図12のようなパターンはMOS・DRAM等で代表的なパターンである。

【0059】(第4の実施の形態) 図14(e)は本発明の第4の実施の形態に係る素子分離半導体基板の断面図で、図14(a)~(d)は図14(e)に至るまでの製造方法を示す模式的な断面図である。本発明の第4の実施の形態においてはCMOS集積回路に適用する場合について説明するが、nMOS(集積回路)等他のMOS集積回路、バイポーラ集積回路、BiCMOS集積回路、SIT集積回路等にも適用できることはもちろんである。本発明の第4の実施の形態に係るCMOS集積回路用半導体基板の製造方法は、

(イ) まず図14(a)に示すように、第1の主表面(表面)および第2の主表面(裏面)を有するn型の(100)面シリコン基板23を用意し、その第1の主表面の所定の場所に深さ1.2~1.5 $\mu m$ のV溝を形成する。所定の場所とは最終的に素子分離領域となる場所という意である。このV溝の形成は周知の方法、たとえば、n型シリコン基板23の表面(第1の主表面)に150~300nmの熱酸化膜を形成し、フォトリソグラフィ法により、熱酸化膜の所定の部分をエッチング除去し、この熱酸化膜をマスクとして、n型シリコン基板23をKOH、あるいはエチレンジアミンピロカテコール(EDP)等を用いて異方性エッチングすればよい。なお、V溝は一例であり、本発明の第1~第3の実施の

形態と同様にU溝でもよい。U溝の場合は $\text{CCl}_4$ 、 $\text{SiCl}_4$ 、 $\text{PCl}_3$ 、 $\text{SF}_6$ 等を用いたRIEやECRイオンエッチングで深さ $1.2 \sim 1.5 \mu\text{m}$ となるように形成すればよい。U溝、V溝いずれの場合も、分離溝の幅 $l_1$ と素子形成領域の幅 $l_2$ の比 $l_1/l_2$ が $1.5$ 以下になるようにするのが好ましい。次にTEOS、DADBS、OMCTS、TMS、HMD等の有機シリコンソースを用いたLPCVD法により酸化膜を厚さ $1.7 \sim 2 \mu\text{m}$ 程度形成する。厚さ $1.7 \sim 2 \mu\text{m}$ とは溝部の形成されていない平坦部の厚さをいう。なお有機シリコンCVD法のかわりに塗布ガラス(SOG)をスピンナー等により塗布してもよい。

【0060】(ロ)次に図14(a)の $\text{SiO}_2$  CVDをしたn型シリコン基板23を $1200^\circ\text{C}$ 、 $\text{N}_2$ 雰囲気中で2時間保持し熱処理する。その後、裏面(第2の主表面)を吸込固定させながらのCMP法等を用いて酸化膜を $0.3 \mu\text{m}$ の厚さに平坦化して、SDB用酸化膜25を図14(a)に示すように形成する。この際の雰囲気ガスは $\text{O}_2$ 、 $\text{HCl}$ 、還元性ガス、不活性ガスあるいは $\text{CO}$ 、 $\text{CO}_2$ でも同様の結果が得られる。

【0061】(ハ)次に、表面を鏡面に研磨したシリコン基板26を別に用意し、SDB用酸化膜25を介して図14(c)に示すようにn型シリコン基板23と、シリコン基板26とを互いに貼り合わせ、 $1100^\circ\text{C} \sim 1150^\circ\text{C}$ で60分～2時間熱処理することにより、SDB基板を形成する。この際減圧(真空)した状態でパルス電圧を印加して、熱処理してもよい。たとえば、 $0.1 \text{ Pa}$ まで減圧して、 $800^\circ\text{C}$ において $\pm 350 \text{ V}$ のパルス電圧を10分程度印加すればよい。

【0062】(ニ)次にn型シリコン基板23の裏面(第2の主表面)を研磨し、n型シリコン基板23の厚みが $1 \mu\text{m}$ となるようにすれば、n型シリコン基板23の裏面にSDB用酸化膜25の一部が露出する。図14(d)はこの状態の基板の断面図を示すが、図14(c)と上下関係を逆転して、上側にn型シリコン基板23が位置するようになっている。したがって、この工程により、n型シリコン基板の第2の主表面に、埋め込み酸化膜25で周囲を囲まれた素子形成領域23が完成することとなる。

【0063】(ホ)次に図14(e)に示すような周知のMOSプロセスを用いて素子形成領域23の内部にpウェル31を形成し、さらにpウェル31の内部に $n^+$ ソース/ドレイン領域32、33、素子形成領域23のpウェルの形成されていない部分に $p^+$ ソース/ドレイン領域34、35を形成し、さらにその表面にゲート酸化膜、ポリシリコンゲート電極98、98、金属配線を形成すれば、本発明の第4の実施の形態に係るCMOS集積回路が完成する。

【0064】本発明の第4の実施の形態では1回の有機シリコン系CVD法(もしくはSOGの塗布)によりS

DB酸化膜と埋め込み酸化膜が同時に形成でき、図9

(a)～(g)に示した第3の実施の形態よりも工程数が減少し、その分生産性が高くなる。また第3の実施の形態に比して、熱処理工程も少なくなるのでより少ない熱履歴で半導体装置が製造でき、結晶欠陥の低減と微細構造の実現が容易となる。

【0065】また有機シリコン系CVD法は段差被覆性が優れており、しかも熱酸化でSDB酸化膜を形成するよりも低温かつ短時間で厚い酸化膜が形成できるので、熱酸化の場合のような酸化誘起欠陥(OSF)も発生しない。したがって素子形成領域中での結晶欠陥も少なく、結果としてCMOS回路中のリーク電流が低減する。また段差被覆性に優れていることから、図14

(a)に示すような場合に限らず、種々の凹凸形状を有した基板を用いて、その平坦度に影響されずにSOI基板を作成することができる。

【0066】本発明の第4の実施の形態でU溝を用いてもよいことは前述したが、その場合のアスペクト比は $10$ 以下にすることが好ましいことはもちろんである。またV溝の場合もその深さ $d_v$ とV溝の表面側の開口部幅 $l_{v1}$ との比 $d_v/l_{v1}$ が $10$ 以下が好ましい。

【0067】以上説明したようにCMOS集積回路において、素子分離絶縁膜としてTEOS等の有機シリコンソースを原料としたCVDによる絶縁材料を用いる場合において、本発明の第4の実施の形態の熱処理をすることで応力を低減させ、素子分離領域形成中またはその後の素子製造工程における熱処理中における転位の発生や増殖を低減することができる。したがって、本発明の第4の実施の形態によれば素子形成領域中での形成されたpn接合のリーク電流の値を $1.7 \times 10^{-8} \text{ A/cm}^2$ 以下に低下させることができ、CMOS・LSIの高性能化が実現できる。

【0068】なお、上記本発明の第1～第4の実施の形態においては常圧CVD法又はLPCVD法でシリコン酸化膜( $\text{SiO}_2$ 膜)を堆積させた場合について説明したが、 $\text{SiO}_2$ のCVDは液相CVD法でも行なうことができる。この場合は $\text{O}_2$ ガスをマイクロ波放電させTMSと反応させ、基板温度を堆積粒子の沸点以下の $-40^\circ\text{C}$ にし、シリコン酸化膜を堆積させればよい。液相CVD後、本発明の第1～第4の実施の形態と同様に熱処理を行えば、上記実施の形態と同様の効果が得られる。さらに電解液としてエチレングリコール、N-メチルアセトアミドを溶媒とし硝酸カリウムを少量加え、シリコン基板を陽極、白金を対向電極とした陽極酸化によってU溝中に $\text{SiO}_2$ 膜を形成してもよい。この場合も上記各実施の形態と同様の $1100^\circ\text{C} \sim 1350^\circ\text{C}$ での熱処理を行えば、同様の効果が得られる。又、プラズマCVD法による $\text{SiO}_2$ 膜でU溝を埋め込むことも可能である。

【0069】

【発明の効果】以上詳述したようにシリコン半導体基板上のMOS集積回路、バイポーラ集積回路、BiCMOS集積回路あるいはSIT集積回路において、素子分離絶縁膜として有機シリコンソース、例えばTEOSを原料としたCVD法による絶縁材料を用いる場合において、本発明の熱処理をすることで応力を低減させ、素子分離領域形成中またはその後の素子製造工程における熱処理中における転位の発生や増殖を低減することができる。したがって、本発明によれば素子形成領域中に形成されたpn接合のリーク電流の値を $1.7 \times 10^{-8} \text{ A/cm}^2$ 以下に低下させることができ、MOSLSIやバイポーラLSI等の集積回路の高性能化が実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るMOS集積回路用の埋込素子分離半導体基板の製造工程を示す図である。

【図2】埋め込み酸化膜の熱処理温度と素子形成領域に発生する結晶欠陥密度の関係を示す図である。

【図3】埋め込み酸化膜の熱処理温度と素子形成領域に形成されたpn接合のリーク電流との関係を示す図である。

【図4】熱処理をした場合（アニール1、アニール2）と、しない場合の酸化膜によるラマン散乱スペクトル図である。

【図5】ラマン散乱の各ピークの積分強度比の、酸化膜の熱処理温度依存性を示す図である。

【図6】熱処理によるエッチング速度の変化を示す図である。

【図7】本発明の第2の実施の形態に係るバイポーラ集積回路用の埋込素子分離半導体基板の製造工程を示す図である。

【図8】埋め込み酸化膜の熱処理温度と素子形成領域に形成されたpn接合のリーク電流との関係を示す図である。

【図9】本発明の第3の実施の形態に係るBiCMOS集積回路用の埋込素子分離半導体基板の製造工程を示す図である。

【図10】溝のアスペクト比と欠陥密度との関係を示す

図である。

【図11】溝の幅と素子形成層の幅との関係を示す図である。

【図12】2つの方向にライン・アンド・スペース・パターンが存在する場合を示す平面図である。

【図13】図11（又は図12）に示した $l_1/l_2$ と、欠陥密度との関係を示す図である。

【図14】本発明の第4の実施の形態に係るCMOS集積回路用の埋込素子分離半導体基板の製造工程を示す図である。

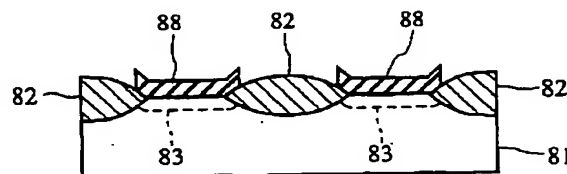
【図15】従来技術として代表的なLOCOS法による素子分離半導体基板の構造を示す図である。

【図16】従来の埋込素子分離技術における転位の発生を示す図である。

【符号の説明】

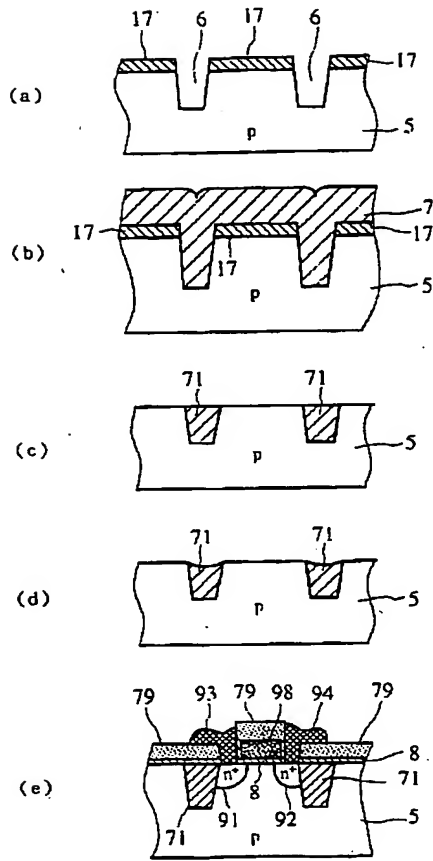
- 5, 13 p型シリコン基板
- 6 U溝
- 7, 71, 77 埋め込み酸化膜
- 8 ゲート酸化膜
- 12 転位
- 14, 17 酸化膜
- 15  $n^+$  埋め込み領域
- 16 nエピタキシャル成長層
- 20  $n^+$  コレクタ電極取り出し領域
- 21 pベース領域
- 22  $n^+$  エミッタ領域
- 23, 81 シリコン基板
- 24, 25 SDB用酸化膜
- 26 n型シリコン基板
- 78, 79 層間絶縁膜
- 82 酸化膜
- 83 素子形成領域
- 88 窒化膜
- 91  $n^+$  ソース領域
- 92  $n^+$  ドレイン領域
- 93 ソース電極
- 94 ドレイン電極
- 98, 99 ポリシリコンゲート電極

【図15】

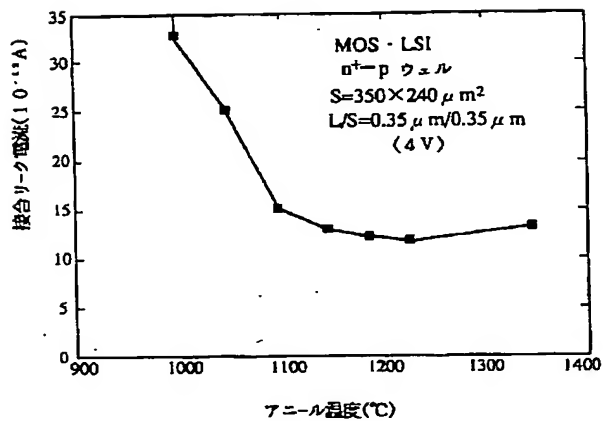




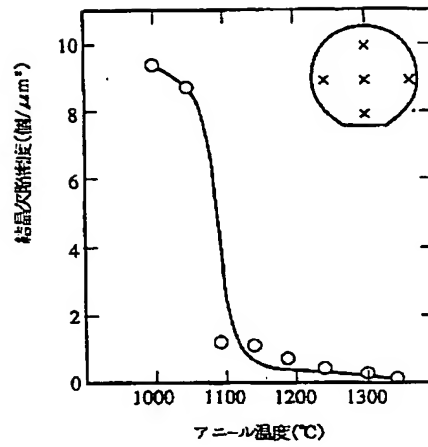
【図1】



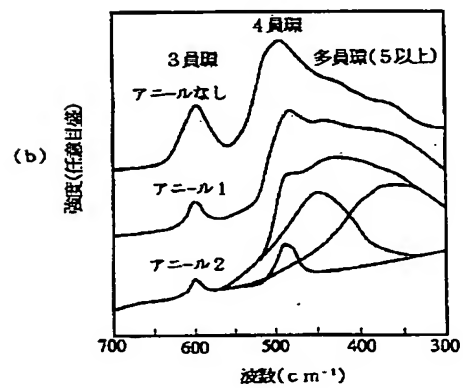
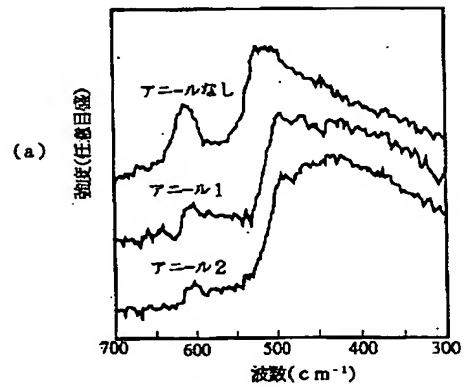
【図3】



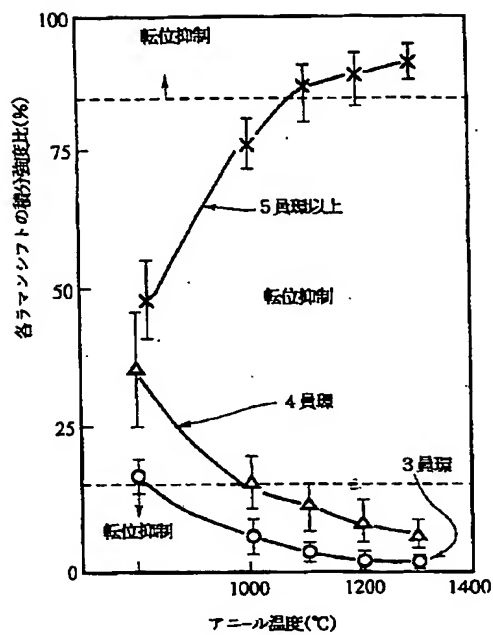
【図2】



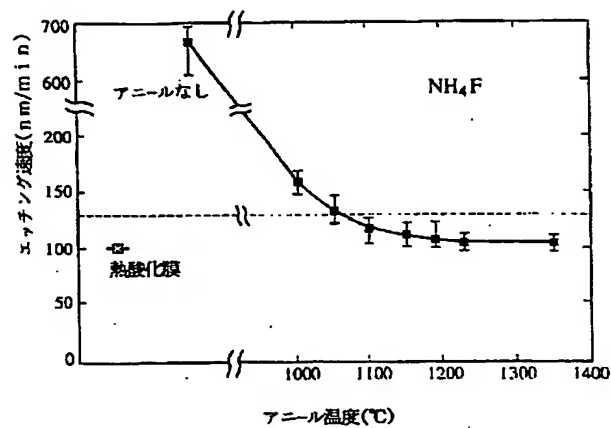
【図4】



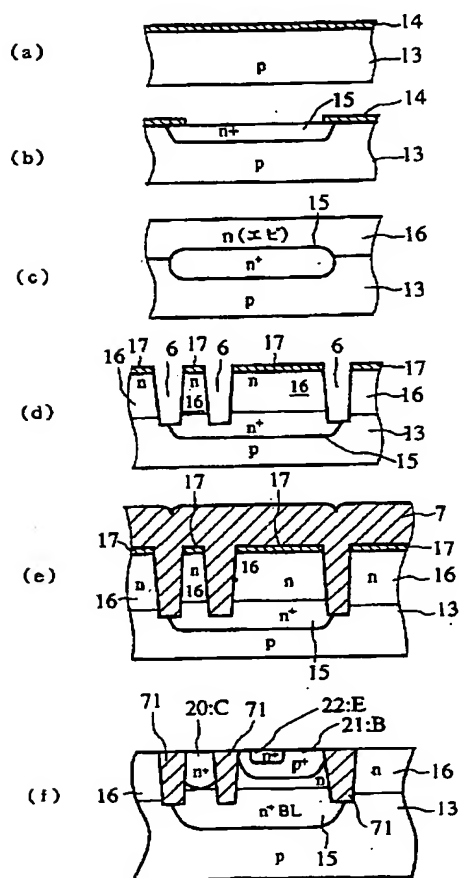
【図5】



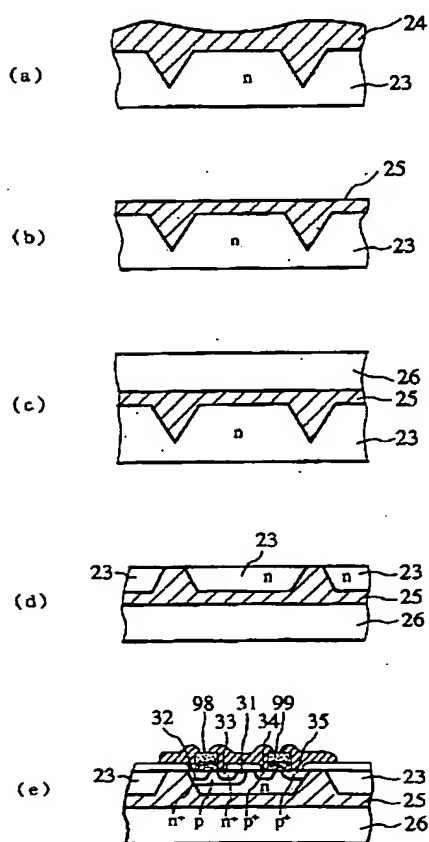
【図6】



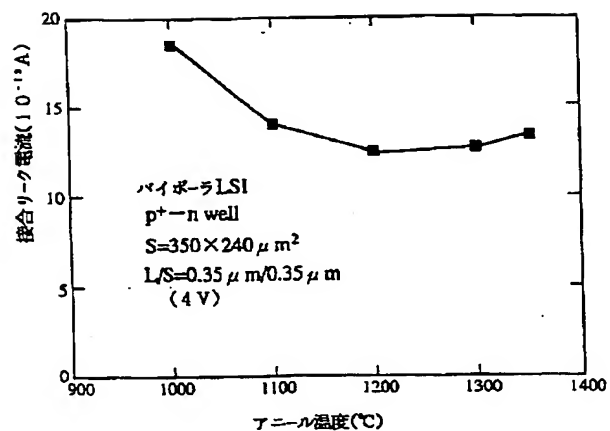
【図7】



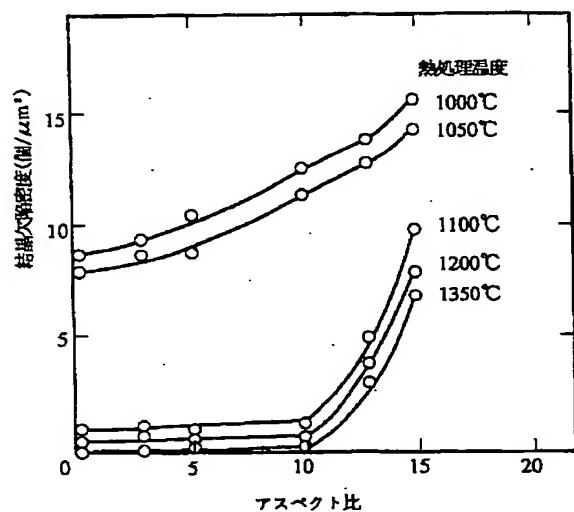
【図14】



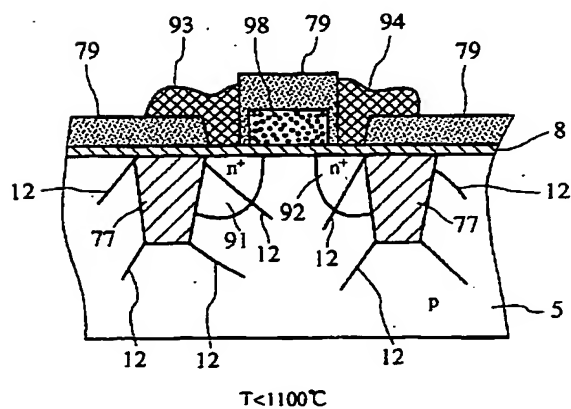
【图 8】



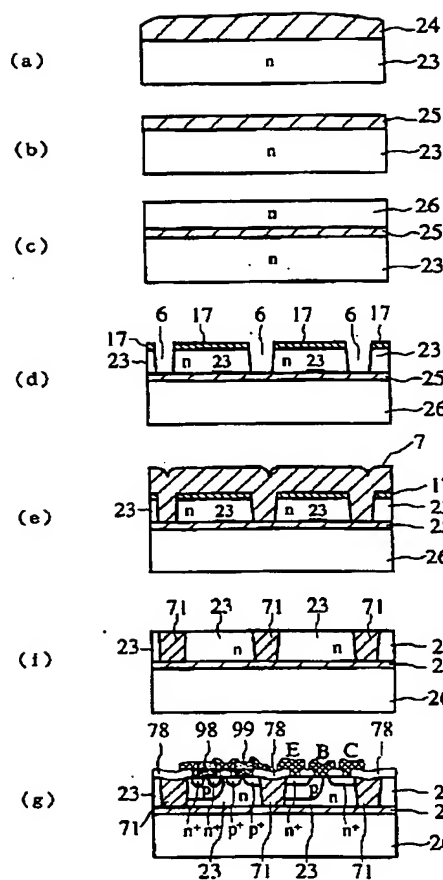
【図 10】



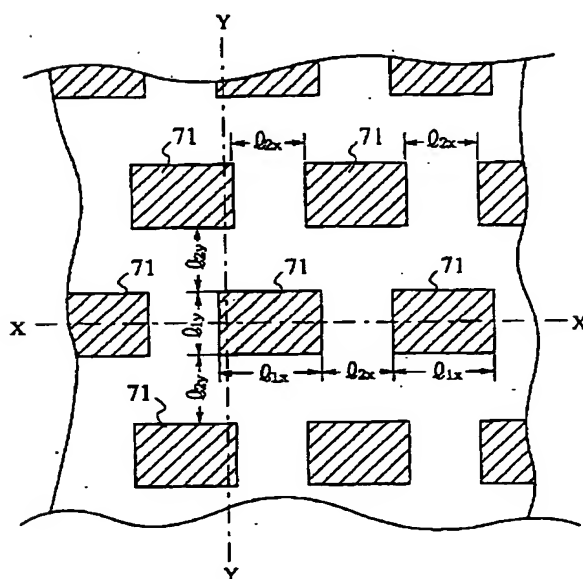
【図 16】



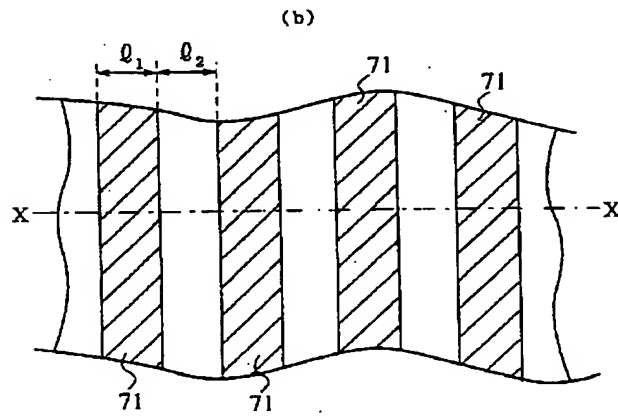
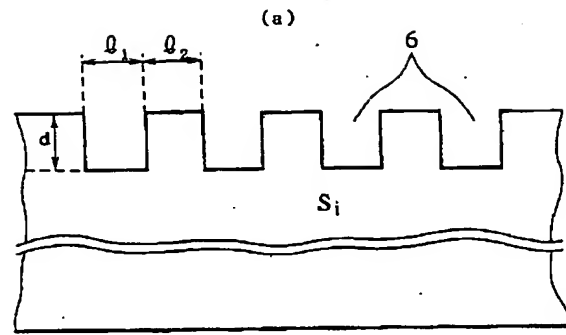
【図 9】



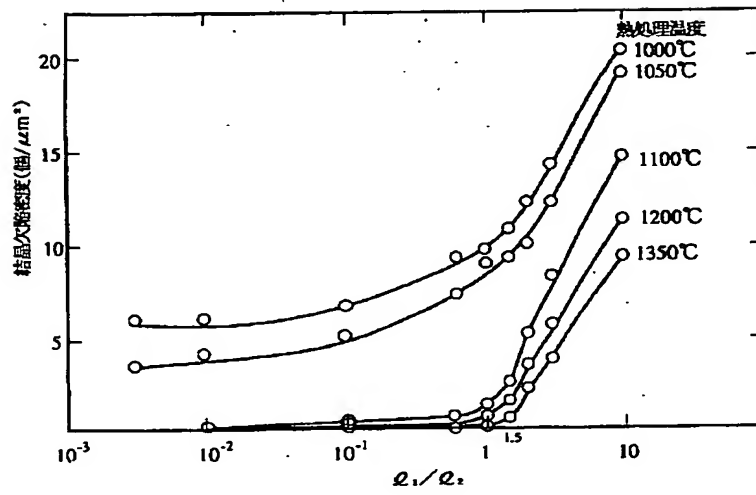
【图 1 2】



【図 1 1】



【図 1 3】



## フロントページの続き

(72)発明者 上條 浩幸

神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

(72)発明者 八木下 淳史

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝研究開発センター内

(72)発明者 北 恒博

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝多摩川工場内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**